

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-219598
(43)Date of publication of application : 08.08.2000

(51)Int.Cl.

C30B 29/06
C30B 15/20

(21)Application number : 11-023765
(22)Date of filing : 01.02.1999

(71)Applicant : SHIN ETSU HANDOTAI CO LTD
(72)Inventor : HOSHI RYOJI
SONOKAWA SUSUMU
SAKURADA MASAHIRO
OTA TOMOHIKO
FUSEGAWA IZUMI

(54) EPITAXIAL SILICON WAFER, ITS PRODUCTION AND SUBSTRATE FOR THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high quality epitaxial silicon wafer which contains no I region (interstitial-silicon-rich region where interstitial silicon atoms are predominant over vacancies) throughout its whole surface and is produced by forming a wafer from a silicon single crystal and then stacking an epitaxial layer on the silicon wafer and in which no projection-shaped surface deformation observable as projections or particles in the surface of the epitaxial layer exists, to produce a single crystal containing no I region within a sliced surface in the diameter direction of the single crystal, throughout the whole surface, in good yield, to improve productivity of the epitaxial wafer and to reduce the cost of the epitaxial wafer.

SOLUTION: This production process for forming an epitaxial wafer which contains no projections having ≥ 100 nm size and ≥ 5 nm height in the surface of its epitaxial layer, and growing a silicon single crystal by a CZ(Czochralski) method, comprises: growing a silicon single crystal bar containing no I region; slicing a wafer from the grown single crystal bar; and stacking an epitaxial layer on the wafer containing no I region within the sliced surface throughout the whole surface.

LEGAL STATUS

[Date of request for examination]

28.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-219598

(P2000-219598A)

(43)公開日 平成12年8月8日(2000.8.8)

(51)Int.Cl.
C 30 B 29/06

識別記号
502

F I
C 30 B 29/06

テマコード(参考)
502 J 4 G 077
A

15/20

15/20

審査請求 未請求 請求項の数13 O.L (全 10 頁)

(21)出願番号 特願平11-23765

(22)出願日 平成11年2月1日(1999.2.1)

(71)出願人 000190149
信越半導体株式会社
東京都千代田区丸の内1丁目4番2号
(72)発明者 星 亮二
福島県西白河郡西郷村大字小田倉字大平
150番地 信越半導体株式会社白河工場内
(72)発明者 園川 将
福島県西白河郡西郷村大字小田倉字大平
150番地 信越半導体株式会社白河工場内
(74)代理人 100102532
弁理士 好宮 幹夫

最終頁に続く

(54)【発明の名称】エピタキシャルシリコンウエーハおよびその製造方法並びにエピタキシャルシリコンウエーハ用基板

(57)【要約】

【課題】面内全面にI領域を含まないウエーハを単結晶から形成し、これにエピタキシャル層を積んで、エピ層表面に突起あるいはパーティクルとして観察される突起状の表面の歪みが存在しない高品質エピタキシャルウエーハを提供すると共に単結晶径方向の面内全面にI領域を含まない単結晶を歩留りよく高生産性で製造し、エピウエーハの生産性向上とコストダウンを図る。

【解決手段】エピタキシャル層上に、大きさ100nm以上、高さ5nm以上の突起が存在しないエピタキシャルシリコンウエーハおよびCZ法によってシリコン単結晶を育成する際に、I領域を含まない単結晶棒を育成し、該単結晶棒から切り出した面内全面にI領域を含まないシリコンウエーハ上にエピタキシャル層を積むエピタキシャルシリコンウエーハの製造方法。

【特許請求の範囲】

【請求項1】 エピタキシャル層上に、大きさ100nm以上、高さ5nm以上の突起が存在しないことを特徴とするエピタキシャルシリコンウエーハ。

【請求項2】 エピタキシャル基板用シリコンウエーハとして、大きさ100nm以上、高さ5nm以上の突起が存在しないシリコンウエーハを使用することを特徴とするエピタキシャルシリコンウエーハの製造方法。

【請求項3】 エピタキシャル基板用シリコンウエーハとして、I領域（ここにI領域とは、自己格子間原子が空孔に比べ優勢な領域をいう）を含まない単結晶を用いることを特徴とするエピタキシャルシリコンウエーハの製造方法。

【請求項4】 チョクラルスキー法によってシリコン単結晶を育成する際に、I領域を含まない単結晶棒を育成し、該単結晶棒から切り出した面内全面にI領域を含まないシリコンウエーハにエピタキシャル層を積むことを特徴とするエピタキシャルシリコンウエーハの製造方法。

【請求項5】 前記チョクラルスキー法によってシリコン単結晶を育成する際に、磁場を印加することを特徴とする請求項4に記載したエピタキシャルシリコンウエーハの製造方法。

【請求項6】 前記シリコン単結晶の成長条件F/G [mm² / °C · min]（ここにF：単結晶成長速度 [mm/min]、G：単結晶成長界面近傍での結晶成長軸方向の温度勾配 [°C/mm]とする）を、0.18 mm² / °C · min以上として、抵抗率0.03Ω·cm以上でかつ単結晶の径方向の面内全面がV領域（ここにV領域とは、空孔が自己格子間原子に比べ優勢な領域をいう）である単結晶棒を育成することを特徴とする請求項4または請求項5に記載したエピタキシャルシリコンウエーハの製造方法。

【請求項7】 前記シリコン単結晶の成長条件F/Gを、次式、

$$F/G > 720 \cdot \rho^2 - 37 \cdot \rho + 0.65$$

（ここにρ：単結晶の抵抗率 [Ω·cm]とする）に従うものとして、P型で0.03Ω·cm以下の低抵抗率であり、かつ単結晶の径方向の面内全面がV領域である単結晶棒を育成することを特徴とする請求項4または請求項5に記載したエピタキシャルシリコンウエーハの製造方法。

【請求項8】 前記印加する磁場を水平磁場とし、その中心磁場強度を500～6000Gaussとすることを特徴とする請求項5ないし請求項7のいずれか1項に記載したエピタキシャルシリコンウエーハの製造方法。

【請求項9】 前記温度勾配Gの径方向分布において、少なくとも一部に3.0°C/mm以上となる部分を作ることができる炉内構造を使用することを特徴とする請求項4ないし請求項8のいずれか1項に記載したエピタキ

2 シャルシリコンウエーハの製造方法。

【請求項10】 前記単結晶成長中の結晶回転を10rpm以下とすることを特徴とする請求項4ないし請求項9のいずれか1項に記載したエピタキシャルシリコンウエーハの製造方法。

【請求項11】 前記単結晶の育成において、直径250mm(10インチ)以上の大直径単結晶棒を製造することを特徴とする請求項4ないし請求項10のいずれか1項に記載したエピタキシャルシリコンウエーハの製造方法。

【請求項12】 前記請求項2ないし請求項11に記載した製造方法により製造されたことを特徴とするエピタキシャルシリコンウエーハ。

【請求項13】 前記請求項2ないし請求項11に記載した製造方法により製造された酸素濃度面内分布が10%以下であることを特徴とするエピタキシャルシリコンウエーハ用基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、大直径エピタキシャルシリコンウエーハおよびその製造方法並びにエピタキシャルシリコンウエーハ用基板に関するものである。

【0002】

【従来の技術】現在製造されている演算素子やメモリー等デバイスの多くは、チョクラルスキー法(CZ法)により引上げられたシリコン単結晶からウエーハを製造し、そのウエーハ面上に作製されている。これらのデバイスは、シリコンウエーハの極表層を利用して電気回路を構成し、動作させている。この表層の品質向上、またラッチアップを防ぐ手法として、エピタキシャルシリコンウエーハ（以下、エピウエーハといふことがある）がしばしば使用される。

【0003】このエピウエーハは、CZ法等により育成されたシリコン単結晶から切り出されたウエーハにエピタキシャル層（以下、エピ層といふことがある）を成長させることによって作製される。今までエピウエーハにおいては、エピ層を積むが故に、その基板となる鏡面シリコンウエーハの品質は軽視されてきた。

【0004】一般的に、結晶中では、結晶成長時に形成される点欠陥が二種類あり、一つは空孔（Vacancy）であり、もう一つは自己格子間原子（Interstitial-Si）である。この内、シリコン原子の不足から発生する凹部、空孔のようなものが優勢な領域がV領域であり、シリコン原子が余分に存在することにより発生する転位や余分なシリコン原子の塊等の自己格子間原子が優勢な領域がI領域である。このV領域には空孔タイプの点欠陥が集合したボイド起因とされているFPD、LSTD、COP等のグローンイン欠陥が高密度に存在し、I領域には転位ループ起因と考えられているL/D（格子間転位ループの略号、LSEPD、LF

P D 等) の欠陥が低密度に存在するとされている。

【0005】そして、結晶中でのV領域とI領域の境界は、結晶成長速度F [mm/m in] と結晶成長界面近傍の結晶成長軸方向の温度勾配G [°C/mm] (ここにGは、シリコンの融点1412°Cから1400°Cまでの軸方向距離 [mm] で温度差12°Cを割った数値である)との比、F/Gによって決まる。このF/Gがある一定値を超えた場合はV領域となり、この値を下回った場合にはI領域となる。

【0006】一般に、結晶成長軸方向の温度勾配Gは、結晶成長界面の径方向で分布を持ち、中心部で小さく、結晶周辺部で大きい(図1参照)。育成中の結晶の成長速度は径方向で一定であるため、F/Gの径方向分布はGの径方向分布の逆数状になる。結晶の成長界面全面でF/Gがある一定値を超えると、ウェーハ全面にI領域のない結晶が得られる。ただし、この時、結晶の外周部20mmは点欠陥が結晶表面へと外方拡散して消滅可能な領域となるため、通常この部分は除いて考える。例えば、通常の抵抗率(本発明においては、0.03Ω·cm以上)の抵抗率を示すもの)の結晶の場合、周辺部20mmを除く内側全てでF/Gが0.18mm²/°C·m in以上であれば、全面V領域の結晶が得られる。逆に、周辺部20mmを除く内側全てでF/Gが0.18mm²/°C·m in以下であれば、全面I領域の結晶が得られる。

【0007】このような状況の中で、今後主流となる10インチ以上の大直径結晶の製造においては、結晶中心部と周辺部とのGの差が大きく、かつ、成長速度Fがその固化潜熱の増大によって低下するため、結晶径方向全てでV領域となるようなF/Gを達成することが難しくなってきた。このため、ウェーハ面内でI領域とV領域が混在し易くなっている、市場に出回る大直径ウェーハの多くはI領域を含んでいる。

【0008】一方、現在のエビウェーハ用基板として用いられることが多い、抵抗率が0.03Ω·cm以下のP型低抵抗率ウェーハでは、共有結合半径の小さいボロンが高濃度に存在するため、自己格子間原子が存在し易く、I・V領域の境界となるF/Gの値が、抵抗率の低下に伴い、大きくなっている。従って、市場に出回るP型低抵抗率ウェーハの多くはI領域を含んでいる。

【0009】

【発明が解決しようとする課題】近年、大直径化およびエビ成長温度の低温化の流れの中で、10インチ以上の大直径結晶上に、より低温でエビ層を成長させたエビウェーハを製造することが多くなってきた。このような状況の中で、エビウェーハ上に從来観察されることのなかったパーティクルが観察される機会が増えてきた。そして、これらのパーティクルを調査すると、基板となる鏡面ウェーハ表面に高感度パーティクル測定法により検出されるパーティクルであり、これらをAFM(A tomic Force Microscope: 原子間力顕微鏡)等により観察すると突起あるいはパーティクルとして観察される突起状の表面の歪み(以降、突起状パーティクルと呼ぶことがある)であることが判ってきた。

【0010】これらの突起は、エビタキシャル層を積むとさらに大きくなり、通常のパーティクル等として検出されることもあることが判ってきた。そしてさらにこれらの突起は、従来欠陥が少ないと言われてきたI領域に多いことが判った。このような突起、突起状パーティクルは、デバイス工程でウェーハ表面に集積回路を構成した際、配線の断線等の原因となり、デバイスの特性、信頼性に与える影響は大きく、エビウェーハの品質上その存在を認めることはできない。

【0011】そこで、本発明はこのような問題点に鑑みてなされたもので、面内全面にI領域を含まないウェーハを大直径単結晶から形成し、これにエビタキシャル層を積んで、エビ層表面に突起状パーティクルの存在しない高品質エビタキシャルウェーハを提供すると共に面内全面がI領域でない大直径単結晶を歩留りよく高生産性で製造し、エビウェーハの生産性の向上とコストダウンを図ることを主たる目的とする。

【0012】

【課題を解決するための手段】本発明は、前記目的を達成するために為されたもので、本発明の請求項1に記載した発明は、エビタキシャル層上に、大きさ100nm以上、高さ5nm以上の突起が存在しないことを特徴とするエビタキシャルシリコンウェーハである。このようなエビタキシャルシリコンウェーハは、そのエビ層上に品質上有害な前記大きさの突起あるいは突起状パーティクルが殆ど存在することなく、従って、デバイス工程における配線の断線等の発生が極めて稀で、デバイス特性、信頼性に悪影響を与えることのない高品質エビタキシャルウェーハを得ることができる。

【0013】そして、本発明の請求項2に記載した発明は、エビタキシャル基板用シリコンウェーハとして、大きさ100nm以上、高さ5nm以上の突起が存在しないシリコンウェーハを使用することを特徴とするエビタキシャルシリコンウェーハの製造方法である。このように、大きさ100nm以上、高さ5nm以上の突起が存在しないシリコンウェーハをエビタキシャル基板用として使用すれば、エビタキシャル成長後にエビタキシャル層上に、デバイス特性を悪化させる大きさ100nm以上、高さ5nm以上の突起が存在しない高品質エビタキシャルシリコンウェーハを製造することができる。

【0014】さらに、本発明の請求項3に記載した発明は、エビタキシャル基板用シリコンウェーハとして、I領域を含まない単結晶を用いることを特徴とするエビタキシャルシリコンウェーハの製造方法である。このようにエビタキシャル層上に突起が多く発生する原因である

50 I領域を含まない単結晶からウェーハを切り出し、ウェ

一ハ面内全面にⅠ領域を含まないシリコンウエーハをエピタキシャル基板用として使用すれば、エピタキシャル層上に、大きさ100nm以上、高さ5nm以上の突起が存在しない高品質のエピタキシャルシリコンウエーハを製造することができる。

【0015】次に、本発明の請求項4に記載した発明は、チョクラルスキー法によってシリコン単結晶を育成する際に、Ⅰ領域を含まない単結晶棒を育成し、該単結晶棒から切り出した面内全面にⅠ領域を含まないシリコンウエーハにエピタキシャル層を積むことを特徴とするエピタキシャルシリコンウエーハの製造方法である。

【0016】このように、CZ法によってシリコン単結晶を育成する際に、単結晶中にⅠ領域を含まないシリコン単結晶を育成し、該単結晶棒から切り出した面内全面にⅠ領域を含まないシリコンウエーハにエピタキシャル層を積むようにすれば、エピタキシャル層上に突起あるいは突起状パーティクルが発生することは殆どなく、高品質のエピタキシャルシリコンウエーハを製造することができる。

【0017】この場合、請求項5に記載したように、チョクラルスキー法によってシリコン単結晶を育成する際に、磁場を印加することができる。このように、磁場を印加すると、磁力線を横切る方向のシリコン融液の対流を抑制することができ、シリコン融液中の温度勾配を大きくすることができるので、結晶成長速度の高速化を図ることができる。

【0018】そしてこの場合、請求項6に記載したように、シリコン単結晶の成長条件F/G [mm²/°C·min]（ここにF：単結晶成長速度[mm/min]、G：単結晶成長界面近傍での結晶成長軸方向の温度勾配[°C/mm]とする）を、0.18mm²/°C·min以上として、抵抗率0.03Ω·cm以上でかつ単結晶の径方向の面内全面がV領域である単結晶棒を育成することができる。このように、作製する単結晶が抵抗率0.03Ω·cm以上の場合は、シリコン単結晶の成長条件F/Gを、0.18mm²/°C·min以上として育成すれば、面内全面がV領域である単結晶棒を育成することができ、該単結晶棒から切り出した面内全面V領域のシリコンウエーハ上にエピタキシャル層を積んで突起状パーティクルの殆どないエピタキシャルシリコンウエーハを製造することができる。

【0019】さらに本発明の請求項7に記載したように、シリコン単結晶の成長条件F/Gを、次式、

$$F/G > 720 \cdot \rho^2 - 37 \cdot \rho + 0.65$$

（ここにρ：単結晶の抵抗率[Ω·cm]、F：単結晶成長速度[mm/min]、G：単結晶成長界面近傍での結晶成長軸方向の温度勾配[°C/mm]とする）に従うものとして、P型で0.03Ω·cm以下の低抵抗率であり、かつ面内全面がV領域である単結晶棒を育成することができる。このように、作製する単結晶がP型で

抵抗率0.03Ω·cm以下の場合、シリコン単結晶の成長条件F/Gを、作製する単結晶の抵抗率の関数として表わされる上式に従って育成すれば、結晶の径方向の面内全面がV領域である単結晶棒を育成することができ、該単結晶棒から切り出した面内全面V領域のシリコンウエーハ上にエピタキシャル層を積んで突起状パーティクルの殆どないエピタキシャルシリコンウエーハを製造することができる。

【0020】そして本発明の請求項8に記載したように、印加する磁場を水平磁場とし、その中心磁場強度を500～6000Gaussとして製造することが望ましい。このようにMCZ法において、印加する磁場を水平磁場とし（以下、HMCZ法ともい）、水平磁場の中心磁場強度を500～6000Gaussとすれば、ルツボ内のシリコン融液の縦方向の対流が効率よく抑制され、結晶周辺部での酸素蒸発量が抑えられて酸素濃度の結晶径方向の面内分布がより一層均一化され、結晶の変形を伴わずに結晶成長の高速化を図ることができる。また、縦方向の対流が抑制されるので、結晶下のシリコン融液の軸方向温度勾配(dT/dZ)mを小さくすることができ、成長速度を高速化することができる。

【0021】さらに請求項9に記載したように、温度勾配Gの径方向分布において、少なくとも一部に3.0°C/mm以上となる部分を作ることができる炉内構造を使用することが望ましい。上述のF/Gを達成するためには、Gの低い炉内構造を用いることは容易だが、生産性の低下を導くことになってしまふ。請求項9に示すように、結晶成長界面の温度勾配Gの径方向分布において、少なくとも一部に、3.0°C/mm以上となる部分を有する炉内構造を用い、F/Gがウエーハ全面でV領域を達成する成長速度Fを用いれば、生産性の低下を招くことはない。

【0022】そして請求項10に記載したように、単結晶成長中の結晶回転を10rpm以下とすることが望ましい。ウエーハ全面をV領域とするためには、成長速度を高速化するのがよいが、成長速度Fを高速化しようとすると、結晶の変形が発生する。この変形を抑えるためには、結晶回転を低速化するのが有効であるが、一般的には結晶回転の低速化は結晶成長界面内の酸素濃度の不均一をもたらすので望ましくなく、特にデバイス工程でウエーハに反りが発生することもあり、問題となる。しかし、本発明では水平磁場を印加しているので、縦方向の対流が抑えられ、結晶回転を低速化しても酸素濃度の面内分布が極端に劣化することではなく、結晶の変形を伴わずに成長速度の高速化を図ることができる。

【0023】次に、本発明の請求項11に記載した発明では、単結晶の育成において、直径250mm（10インチ）以上の大直径単結晶棒を製造するようにした。本発明で、上記の単結晶育成条件を満足すれば、比較的容易に直径10インチ以上の単結晶の径方向の面内全面を

V領域として成長させることができ、エピウエーハで突起が発生することを防止することができる。

【0024】そして、本発明の請求項12に記載した発明は、請求項2ないし請求項11に記載した製造方法により製造されたことを特徴とするエピタキシャルシリコンウエーハである。このように、本発明の方法で得られるエピタキシャルシリコンウエーハは、エピ層上に、大きさ100nm以上、高さ5nm以上の突起が存在せず、デバイスの特性、信頼性に悪影響を与えることのない高品質のエピタキシャルシリコンウエーハとなる。

【0025】さらに、本発明の請求項13に記載した発明は、請求項2ないし請求項11に記載した製造方法により製造された酸素濃度面内分布が10%以下であることを特徴とするエピタキシャルシリコンウエーハ用基板である。このように、本発明の方法で得られるエピタキシャルシリコンウエーハ用基板は、その酸素濃度面内分布が10%以下と小さく、デバイスの特性、信頼性に悪影響を与えることのない高品質のエピタキシャルシリコンウエーハ用基板となる。

【0026】以下、本発明につき詳細に説明するが、本発明はこれらに限定されるものではない。本発明者らは、エピタキシャルウエーハのエピ層の成長を研究している中で、エピウエーハ上に從来観察されることのなかつたパーティクルが観察される機会が増えてきた。そして、これらのパーティクルを調査すると、基板となる鏡面ウエーハ表面に高感度パーティクル測定法により検出されるパーティクルであり、これらをAFM(原子間力顕微鏡)等により観察するとウエーハ表面の突起あるいは突起状の表面の歪みであることが判ってきた。

【0027】これらのパーティクルとして観察される突起あるいは突起状の表面の歪みの発生領域を詳細に調査すると、基板となるシリコンウエーハの単結晶成長時のI領域分布と一致することが判った。つまり単結晶の直径化に伴い、単結晶成長速度の低下が起こり、結晶にI領域が発生し易くなつたため、エピウエーハ上にパーティクルが観察されるようになつたと考えられる。さらに、これらI領域を含む基板ウエーハにおいて、パーティクルカウンターの高感度測定法を用いると、I領域に対応してパーティクルが検出されることがわかつた。ここで高感度測定法とは、S/N比の向上により従来の1/4程度の散乱光強度まで検出できるようになった測定法である。従って、I領域を含まない基板ウエーハがエピタキシャル基板用シリコンウエーハとして適していることが判つた。

【0028】一方、上記したエピ層上の突起あるいは突起状パーティクルがデバイスの特性、信頼性に与える影響を調査した結果、突起あるいは突起状パーティクルの大きさが、大きさで100nm以下、高さで5nm以下であれば全く影響しないことが判つた。従つて上記した大きさ以上の突起あるいは突起状パーティクルを含まな

いシリコンウエーハをエピウエーハの基板として使用すれば高品質のエピタキシャルシリコンウエーハが得られることになる。

【0029】このI領域を含まずかつ大きな突起のないウエーハを製造するためには、単結晶育成条件のF/Gが結晶の径方向全てにおいて所定値を超えるようにFとGを制御すればよい。例えば、抵抗率0.03Ω·cm以上の結晶においては、F/Gの値が0.18mm²/℃·min以上であればよい。特にグローンイン欠陥の低減のためにGを低めに設定したホットゾーンでなければ、通常用いるホットゾーンのGは結晶の中心部で2.5~4.5°C/mmであり、外周20mmでのGは、3.0~6.0°C/mmである。従つて、上記のF/Gを満足するにはFが0.55~1.1mm/min程度必要であることが判る。ところが10インチ以上の大直径結晶においては、シリコン融液が結晶化する際に発生する固化潜熱が大きくなるため、成長可能速度が低下し、上記のような成長速度を達成出来なくなつてきている。

【0030】さらに、現在のエピウエーハ基板として用いられることが多いP型で抵抗率0.03Ω·cm以下の低抵抗率結晶においては、実験の結果、ウエーハ全面がV領域となるF/Gは、単結晶の抵抗率ρ[Ω·cm]の関数として次式、

$$F/G > 720 \cdot \rho^2 - 37 \cdot \rho + 0.65$$

で表わされることが判つた(図2参照)。(ここに、F: 単結晶成長速度 [mm/min], G: 単結晶成長界面近傍での結晶成長軸方向の温度勾配 [°C/mm] とする)

30 従つて、例えば、周辺部20mmでのGが4.0°C/mmとすると、ρ=0.015Ω·cmでF>1.03mm/min、ρ=0.010Ω·cmでF>1.41mm/min、ρ=0.007Ω·cmでF>1.71mm/min、ρ=0.005Ω·cmでF>1.93mm/minとなり、このような成長速度の高速化は容易に達成出来るものではない。

【0031】従つて、これを解決するためには、ホットゾーンの変更によりGを低下させるか、もしくは成長速度の高速化を図つて所望のF/Gを実現することになる。しかしながら、ホットゾーンの変更を含めたGの低下は、成長可能速度の低下を招き、生産性の低下を引き起こすため好ましくない。そこで本発明では、外周部20mmでのGが3.0°C/mm以上である従来のホットゾーンを維持したまま、成長速度の高速化を図り、上記問題を解決した。

【0032】本発明では、成長速度の高速化のため、水平磁場印加CZ法(HMCZ法)と低速結晶回転を用いた。CZ法における結晶成長可能速度V_{max}は、成長中の結晶の熱収支によって決定される。結晶へ入る熱量は、シリコン融液から結晶への熱量H_{in}、および液体が

固体に相変化するときに発生する固化潜熱 H_{sol} とがある。結晶成長部近傍の熱収支を考えた場合、結晶から排出される熱量 H_{out} は、 $H_{in} + H_{sol}$ の和に等しいと考えられる。それぞれ、 H_{in} は、結晶下のシリコン融液の軸方向温度勾配 $(dT/dZ)_m$ に、 H_{sol} は結晶成長速度 F に、 H_{out} は結晶成長界面直上の温度勾配 G に比例すると考えられる（図3参照）。

【0033】成長速度の高速化に伴い、 H_{sol} は大きくなるため、成長可能速度の向上のためには H_{out} を大きくするか、 H_{in} を小さくする必要がある。ここで本発明の目的はホットゾーンを変えず、 G を維持したまま成長速度を向上することにより、I領域のない結晶を育成することであり、 H_{out} は一定と考える。従って、 H_{in} を小さくする必要がある。

【0034】そこで、本発明では、磁場を印加した。特に水平磁場を印加することにより、結晶下のシリコン融液の軸方向温度勾配 $(dT/dZ)_m$ を小さくすることができます、 H_{in} を小さくすることができる（Fumio Shimura; Semiconductor Silicon Crystal Technology, 1989 参照）。さらに、磁場を印加することにより、シリコン融液中の径方向温度勾配 $(dT/dX)_m$ を大きくすることができます、高速で結晶を成長させた場合に発生するルツボ壁からの固化を防ぐことができる（日経マイクロデバイス、1986年7月号参照）。これらの効果により、 F_{max} の上限値を引き上げることが可能である。しかし、これだけでは上記の成長速度を達成出来なかった。

【0035】すなわち、成長速度を高速化しようとした場合、結晶の変形が発生する。これを抑えるためには、結晶回転を低速化することが有効である。しかし、結晶回転の低速化は、結晶成長界面内の酸素濃度の不均一をもたらす。酸素濃度の面内分布の不均一は、デバイス工程でのウェーハ反り等の問題を引き起こすため、工業製品としては不適切である。これは、成長中の結晶の周辺では、シリコン融液中の酸素濃度が蒸発により低下しているためである。従来のCZ法では、この中心部と周辺部の酸素濃度の不均一を、結晶回転により引き起こされる強制対流で強制的に均一化していた（W.Zulehner et al.; Crystal Vol.8, 1982等参照）。

【0036】しかし、磁場を印加した場合、その磁力線を横切る方向の対流は、抑制されることが知られている。HMCZ法では、横方向の磁力線のため、縦方向の対流が抑えられる。このため、境界拡散層の厚さが通常のCZ法に比べ、周辺部で薄くならない。従って結晶回転を低速化しても酸素濃度の面内分布が極端に劣化することはなく、結晶低速回転を用いることが可能であり、結晶の変形を伴わず成長速度の高速化を実現することができる。

【0037】本発明では、水平磁場の中心磁場強度を500~6000Gaussとし、単結晶成長中の結晶回転を10rpm以下に制御するようにした。こうすること

とで、シリコン融液の縦方向対流が効率よく抑制され、結晶回転の低速化に伴う結晶成長界面内の酸素濃度の中心部と周辺部の不均一さが改善され、結晶の変形を伴わずに結晶成長の高速化を図ることが出来る。

【0038】上記のような手法を用いることにより、結晶成長速度の高速化を図ることができた。これによりエビウエーハ基板として望ましくないI領域を含まず、ウェーハ全面がV領域であり、大きな突起のないシリコン単結晶を、歩留りよく、高い生産性で製造することができる。

【0039】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。まず、本発明で使用するHMCZ法による単結晶引上げ装置の構成例を図3により説明する。図3に示すように、この単結晶引上げ装置30は、引上げ室31と、引上げ室31中に設けられたルツボ32と、ルツボ32の周囲に配置されたヒータ34と、ルツボ32を回転させるルツボ保持軸33及びその回転機構（図示せず）と、シリコンの種結晶5を保持するシードチャック6と、シードチャック6を引上げるワイヤ7と、ワイヤ7を回転又は巻き取る巻取機構（図示せず）を備えて構成されている。ルツボ32は、その内側のシリコン融液（湯）2を収容する側には石英ルツボが設けられ、その外側には黒鉛ルツボが設けられている。また、ヒータ34の外側周囲には断熱材35が配置されている。そして、引上げ室31の水平方向の外側に、水平磁場用磁石36を設置し、HMCZ法としてシリコン融液2の対流を抑制し、単結晶の安定成長をはかっている。

【0040】次に、上記のHMCZ法単結晶引上げ装置30による単結晶育成方法について説明する。まず、ルツボ32内でシリコンの高純度多結晶原料を融点（約1412°C）以上に加熱して融解する。次に、水平磁場を印加し、ワイヤ7を巻き出すことにより融液2の表面略中心部に種結晶5の先端を接触又は浸漬させる。その後、ルツボ保持軸33を適宜の方向に回転させるとともに、ワイヤ7を回転させながら巻き取り種結晶5を引上げることにより、単結晶育成が開始される。以後、引上げ速度と温度を適切に調節することにより略円柱形状の単結晶棒1を得ることができる。この略円柱形状の単結晶棒1を引上げるに当たり、単結晶成長速度 F [mm/m] と単結晶成長界面近傍での結晶成長軸方向の温度勾配 G [°C/mm] で表わされる F/G [mm²/°C · m] を適切に調整すれば、I領域を含まない単結晶が得られる。

【0041】以上のように、上記で説明した製造方法と装置によって製造されたシリコン単結晶において、本発明のHMCZ法の適切な条件下に成長させれば、高速成長にも拘わらず変形が極めて少なく、ウェーハ状に加工した時に面内全面にI領域を含まずエピタキシャルウェ

ー哈に加工しても大きな突起のない単結晶棒が得られる。

[0042] 本発明のエピタキシャルシリコンウエーハは、例えば上記のような製造方法と装置によって製造された単結晶の径方向の面内全面にI領域を含まない単結晶棒から切り出されたウエーハから鏡面ウエーハを形成し、これを基板としてエピタキシャル膜を通常のCVD法で積めば、表面に突起あるいは突起として観察される表面の歪みのないエピタキシャルシリコンウエーハを作ることができる。

[0043] 例え、CVD法によるシリコンエピタキシャル成長は、Siを含んだ原料ガスをキャリアガス(通常H₂)と共に反応炉内に導入し、1000°C以上の高温に加熱されたシリコン基板上に原料ガスの熱分解または還元によって生成されたSiを析出させて行われる。原料ガスは、SiCl₄、SiHCl₃、SiH₂Cl₂、SiH₄の4種が通常使用されている。反応温度は、SiCl₄の場合は、主としてH₂による水素還元のため1150~1200°Cと高く、塩素の割合が少なくなると低温になり、SiH₄の場合には熱分解反応によって1000~1100°Cで成長させる。エピタキシャル成長装置には、横型炉、縦(ディスク)炉、パレル型炉、毎葉式炉等が使用されるが、シリコン基板の大直径化に伴い多数枚同時充填のバッチ式から1枚づつ処理する毎葉式が生産性の向上や膜厚、抵抗率の均一性の向上を図る点からも主流になりつつある。

[0044]

[実施例] 以下、本発明の具体的な実施の形態を実施例を挙げて説明するが、本発明はこれらに限定されるものではない。始めに、大口径シリコンウエーハにエピタキシャル層を成長させたとき、いかなる条件であれば、突起あるいは突起状パーティクルがウエーハ表面に発生しないかを確認するため、次の試験を行った。

(テスト1) 抵抗率8~12Ω·cmの範囲で、結晶周辺部20mm位置での成長条件F/Gを0.155mm²/°C·minとして引上げた直径8インチの単結晶棒から、ほぼ面内の全面にI領域を含むウエーハ(W-1とする)、および結晶周辺部20mm位置での成長条件F/Gを0.239mm²/°C·minとして引上げた単結晶棒から、面内全面にI領域を含まないウエーハ(W-2とする)とを作製した。なお、このGの計算には、例えば、FEMAGと呼ばれる総合伝熱解析ソフト(F. Dupret, P. Nicodeme, Y. Ryckmans, P. Wouters, and M. J. Crochet, Int. J. Heat Mass Transfer, 33, 1849 (1990))を使用し、シリコンの融点1412°Cから1400°Cとなる位置までの距離を計算し、12°C(1412°C-1400°C)をこの距離で割った数値をG(°C/mm)とした。

[0045] これらのウエーハを高感度のパーティクル

カウンターを用いて観察したところ、W-1のI領域に当たる外周部に非常に小さいパーティクル状の散乱が検出された[図4(a)参照]。これをAFMにより観察したところ、突起であることが判った[図5参照]。これに厚さ2μmのエピタキシャル層を積んだところ、非常に小さなパーティクル状散乱が観察された位置と同じ位置に、パーティクルが観察された[図4(b)参照]。このパーティクルもAFMにより突起であることが判った(図6参照)。その大きさは100nm~1000nmもあり、高さは5nm~20nmもあった。一方、W-2では、ウエーハ全面に高密度のパーティクルが確認されたものの、突起状のものは見つからなかった[図7(a)参照]。これにエピタキシャル層を積んだところ、パーティクルは殆ど確認されなかった[図7(b)参照]。AFMで観察しても突起は確認されなかった。これらのテストから、全面にI領域を含まないシリコンウエーハをエピタキシャルウエーハ用の基板として用いれば、エピタキシャル層をウエーハ表面に成長させた後でもウエーハ表面に突起または突起状パーティクルが発生しないことがわかった。この結果を踏まえて、さらに口径の大きなウエーハを用いて適切な品質を得るための製造条件を確立した。

[0046] (実施例1) 中心磁場強度4000Gaussの水平磁場を印加したHMCZ法において、抵抗率約10Ω·cmの直径12インチ単結晶を28インチのルツボから結晶回転7.0rpmで育成した。ここで使用したホットゾーンによれば、結晶の周辺20mmでのGは3.55°C/mmであった。この時、成長速度0.99mm/minで育成することができた。周辺20mmでのF/Gは0.279mm²/°C·minである。この単結晶棒からウエーハ状のサンプルを切り出し、中心部と周辺部(エッジから内周方向に10mm部分)とで酸素濃度を測定し、(中心濃度-周辺濃度)/中心濃度)×100(%)として酸素濃度面内分布を測定した。その結果、酸素濃度面内分布は5%以下であった。この結晶から切り出されたウエーハ状サンプルには、OSFリングが観察されず、I領域を含まない結晶を得ることができた。

[0047] こうして得られたシリコンウエーハ上に、SiHCl₃+H₂ガス雰囲気、1200°Cで厚さ2μmのエピタキシャル層を成長させた。その表面をパーティクルカウンターで測定したところ、エピウエーハのエピ層上には突起あるいは突起状パーティクルは検出されなかった。

[0048] (比較例1) 磁場を用いない通常のCZ法で育成した以外は、実施例1と同様の条件下に、抵抗率約10Ω·cmの直径12インチ単結晶を28インチのルツボから育成した。この時成長速度は、0.61mm/min程度が上限であり、周辺20mmでのF/Gは0.172mm²/°C·minであった。この結晶から

切り出したウェーハ状サンプルで I 領域の内側に存在する OSF (酸化誘起積層欠陥) リングの位置を調査したところ、周辺から約 30 mm の位置に観察された。従って、ウェーハの周辺部が I 領域となっていることが確認された。また、酸素濃度面内分布を測定したところ、その値は 1.2% 程度であった。このウェーハに前記条件でエビ層を積んだところ、周辺部に大きな突起が観察された。

【0049】尚、OSF リングが出現するか、しないかは、結晶中の酸素濃度にも依存するため、上記のような評価をする際に、誤った判断をする可能性がある。そこで今回評価に用いた結晶の酸素濃度は 1.3 ppm (JEIDA) 以上とし、熱処理は 1000°C、3 時間および 1150°C、100 分間とした。さらに一度の熱処理で OSF リングが検出されない場合は、1150°C、100 分間の熱処理を追加して評価した。このように、二度の熱処理を通して OSF リングが出ないものを OSF リングが検出されないと判断した。

【0050】(実施例 2) 直径 8 インチで $0.014 \Omega \cdot \text{cm}$ 以下の P 型低抵抗率結晶を抵抗率を変えて二種類製造した。これらの結晶に比較例 1 と同じ OSF リング評価を行い、OSF リングの位置と成長条件 F/G との関係を求めた。その結果、OSF リングの外側に存在する I 領域が結晶に入り込まないための成長条件 F/G は、抵抗率 ρ ($\Omega \cdot \text{cm}$) の関数として、次式、

$$F/G > 720 \cdot \rho^2 - 37 \cdot \rho + 0.65$$

(ここに、 ρ : 単結晶の抵抗率 [$\Omega \cdot \text{cm}$]、 F : 単結晶成長速度 [mm/min]、 G : 単結晶成長界面近傍での結晶成長軸方向の温度勾配 [$^\circ\text{C}/\text{mm}$] とする) で表わされるものであることが判った(図 2 参照)。これを基に、以下のように I 領域を含まない結晶を試作した。

【0051】抵抗率 $0.015 \Omega \cdot \text{cm}$ の 8 インチ結晶を周辺 20 mm の G が、 $3.74 \text{ }^\circ\text{C}/\text{mm}$ であるホットゾーンを用いて成長速度 $1.4 \text{ mm}/\text{min}$ で育成した。この時、ガスフュージョン法により得られた酸素濃度面内分布は、10% 以下であった。抵抗率 $0.015 \Omega \cdot \text{cm}$ で必要な F/G は上式より、 $0.257 \text{ mm}^2/\text{ }^\circ\text{C} \cdot \text{min}$ であり、今回育成された結晶の周辺 20 mm の F/G は $0.374 \text{ mm}^2/\text{ }^\circ\text{C} \cdot \text{min}$ である。この結晶から切り出したウェーハ状サンプルには OSF リングが検出されなかった。従って、ウェーハ全面が V 領域となっていることが確認された。

【0052】(実施例 3) 次に、 $0.008 \Omega \cdot \text{cm}$ の 8 インチ結晶を周辺 20 mm の G が、 $4.33 \text{ }^\circ\text{C}/\text{mm}$ であるホットゾーンを用いて成長速度 $1.78 \text{ mm}/\text{min}$ で育成した。この時、ガスフュージョン法により得られた酸素濃度面内分布は、10% 以下であった。抵抗率 $0.008 \Omega \cdot \text{cm}$ で必要な F/G は上式より、 $0.40 \text{ mm}^2/\text{ }^\circ\text{C} \cdot \text{min}$ であり、今回育成された結晶

の周辺 20 mm の F/G は $0.41 \text{ mm}^2/\text{ }^\circ\text{C} \cdot \text{min}$ である。この結晶から切り出したウェーハ状サンプルには OSF リングが検出されなかった。従って、ウェーハ全面が V 領域となっていることが確認された。以上のように上記の式より計算された値以上の F/G では I 領域を含まない結晶が得られることが確認された。

【0053】これら二種類のウェーハに前記同様に厚さ 2 μm のエピタキシャル層を成長させたところ、エピウェーハのエピ層上には、突起あるいは突起状パーティクルは検出されなかった。

【0054】(比較例 2) 抵抗率 $0.014 \Omega \cdot \text{cm}$ の 8 インチ結晶を周辺 20 mm の G が、 $3.74 \text{ }^\circ\text{C}/\text{mm}$ である実施例 2 と同様のホットゾーンを用いて成長速度 $1.0 \text{ mm}/\text{min}$ で育成した。抵抗率 $0.014 \Omega \cdot \text{cm}$ で必要な F/G は上式より、 $0.273 \text{ mm}^2/\text{ }^\circ\text{C} \cdot \text{min}$ であり、今回育成された結晶の周辺 20 mm の F/G は $0.267 \text{ mm}^2/\text{ }^\circ\text{C} \cdot \text{min}$ で、計算値を下回る結果となった。この結晶から切り出したウェーハ状サンプルには OSF リングが周辺から 25 mm の位置に検出され、周辺部に I 領域が含まれていることが確認された。

【0055】上記比較例 2 は、 $F/G \sim \rho$ 関係式を求めるために行った一連の実験結果の一つであり、このような実験を条件を変えて繰り返し行って関係式の精度を高め、実施例 2 および実施例 3 によって実証することができた。

【0056】なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

【0057】例えば、上記実施形態においては、直径 8 インチ、12 インチのシリコン単結晶を育成するにつき例を挙げて説明したが、本発明はこれには限定されず、直径にかかわりなく、例えば直径 16 インチあるいはそれ以上のシリコン単結晶にも適用できる。

【0058】【発明の効果】以上説明したように、本発明によれば、エピタキシャルウェーハ基板用シリコン単結晶として適切な品質である単結晶の径方向の面内全面に I 領域を含まず、かつエピウェーハに加工した時に、突起(パーティクル状散乱)のない高品質シリコン単結晶の歩留りと生産性の向上を図り、単結晶製造コストの大大幅な低減が可能となった。これにより、今後主流となる大直径エピウェーハ用単結晶や現在の主流である低抵抗率単結晶として適切なシリコン単結晶を提供することができるのと、突起あるいは突起状パーティクルが存在しない高品質のエピタキシャルシリコンウェーハを安価で提供することができると共に、デバイス製造歩留りやデバイス特性、信頼性を大きく向上させることができる。

【図面の簡単な説明】

〔図1〕結晶成長界面直上の温度勾配Gおよび成長条件E/Gの面内分布を表した模式図である。

【図2】P型低抵抗率単結晶において、OSFリングが発生する成長条件 F/G の抵抗率依存性を表した説明図である。

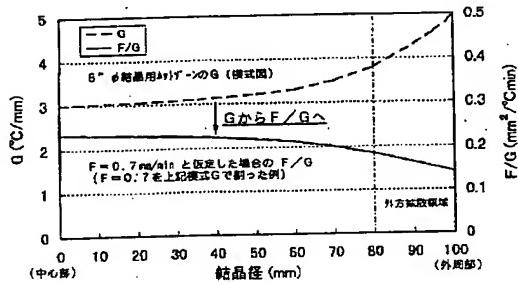
【図3】本発明で使用したHMC Z法による単結晶引上げ装置の概略と熱收支の説明図である。

【図4】(a)周辺部にI領域を有するウェーハ表面上について高感度パーティクル測定を行った結果を表した図である。

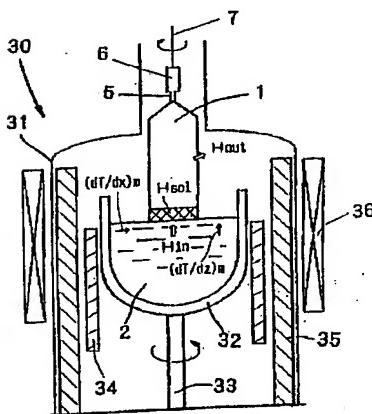
(b) 周辺部に I 領域を有するウエーハ表面にエビタキシャル膜を形成後、エビ膜上について高感度パーティクル測定を行った結果を表した図である。

【図5】本発明の図4(a)のポリッシュドシリコンエーハの周辺部で観察されたパーティクルをAFMで観察*

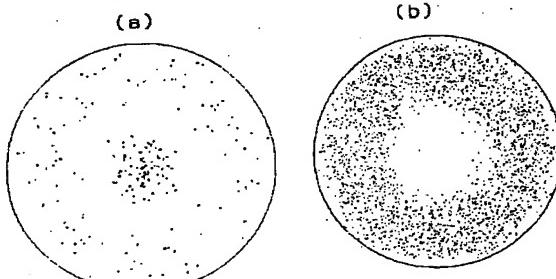
〔図1〕



[図3]

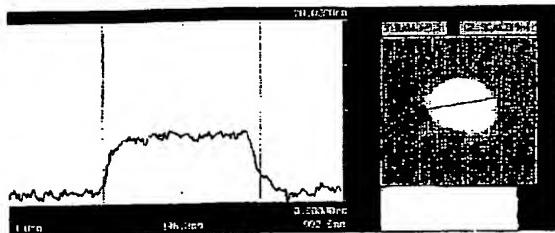


【図4】

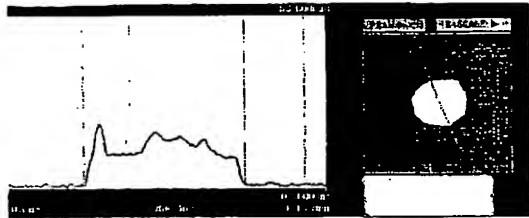


BEST AVAILABLE COPY

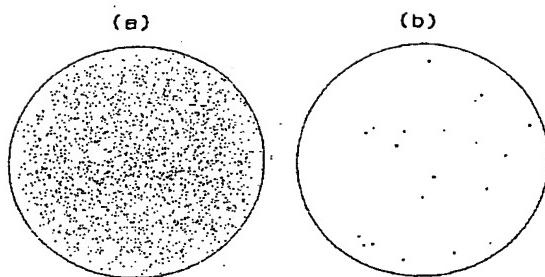
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 桜田 昌弘
福島県西白河郡西郷村大字小田倉字大平
150番地 信越半導体株式会社白河工場内
(72)発明者 太田 友彦
福島県西白河郡西郷村大字小田倉字大平
150番地 信越半導体株式会社白河工場内

(72)発明者 布施川 泉
福島県西白河郡西郷村大字小田倉字大平
150番地 信越半導体株式会社白河工場内
F ターム(参考) 4G077 AA02 AB01 AB06 BA04 CF10
EH06 EH09 EJ02 PF55

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-219598
(43)Date of publication of application : 08.08.2000

(51)Int.CI. C30B 29/06
C30B 15/20

(21)Application number : 11-023765 (71)Applicant : SHIN ETSU HANDOTAI CO LTD
(22)Date of filing : 01.02.1999 (72)Inventor : HOSHI RYOJI
SONOKAWA SUSUMU
SAKURADA MASAHIRO
OTA TOMOHIKO
FUSEGAWA IZUMI

(54) EPITAXIAL SILICON WAFER, ITS PRODUCTION AND SUBSTRATE FOR THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high quality epitaxial silicon wafer which contains no I region (interstitial-silicon-rich region where interstitial silicon atoms are predominant over vacancies) throughout its whole surface and is produced by forming a wafer from a silicon single crystal and then stacking an epitaxial layer on the silicon wafer and in which no projection-shaped surface deformation observable as projections or particles in the surface of the epitaxial layer exists, to produce a single crystal containing no I region within a sliced surface in the diameter direction of the single crystal, throughout the whole surface, in good yield, to improve productivity of the epitaxial wafer and to reduce the cost of the epitaxial wafer.

SOLUTION: This production process for forming an epitaxial wafer which contains no projections having ≥ 100 nm size and ≥ 5 nm height in the surface of its epitaxial layer, and growing a silicon single crystal by a CZ(Czochralski) method, comprises: growing a silicon single crystal bar containing no I region; slicing a wafer from the grown single crystal bar; and stacking an epitaxial layer on the wafer containing no I region within the sliced surface throughout the whole surface.

LEGAL STATUS

[Date of request for examination] 28.11.2000
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's

* NOTICES *

JPO and NCIBI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The epitaxial silicon wafer characterized by a projection with a magnitude [of 100nm or more] and a height of 5nm or more not existing on an epitaxial layer.

[Claim 2] The manufacture approach of the epitaxial silicon wafer characterized by using the silicon wafer with which a projection with a magnitude [of 100nm or more] and a height of 5nm or more does not exist as a silicon wafer for epitaxial substrates.

[Claim 3] The manufacture approach of the epitaxial silicon wafer characterized by using the single crystal which does not include an I region (a self-interstitial atom says a superior field here in a hole compared with an I region) as a silicon wafer for epitaxial substrates.

[Claim 4] The manufacture approach of the epitaxial silicon wafer characterized by loading with an epitaxial layer the silicon wafer which does not include an I region all over the inside of the field which raised the single crystal rod which does not include an I region, and was started from this single crystal rod in case a silicon single crystal is raised with the Czochralski method.

[Claim 5] The manufacture approach of the epitaxial silicon wafer indicated to claim 4 characterized by impressing a magnetic field in case a silicon single crystal is raised with said Czochralski method.

[Claim 6] growth condition F/G [mm² / **, and min] (here -- F:single crystal growth rate [mm/min] --) of said silicon single crystal the temperature gradient [**/mm] of the crystal growth shaft orientations near the G:single crystal growth interface -- carrying out -- as more than 0.18mm² / **, and min It is 0.03 or more ohm-cm of resistivity, and the whole surface within a field of the direction of a path of a single crystal is V field (with V field here). a hole says a superior field compared with a self-interstitial atom -- it is -- the manufacture approach of the epitaxial silicon wafer indicated to claim 4 or claim 5 characterized by raising a single crystal rod.

[Claim 7] growth condition F/G of said silicon single crystal -- a degree type, and F/G>720andrho -- the manufacture approach of the epitaxial silicon wafer indicated to claim 4 or claim 5 characterized by raising the single crystal rod whose whole surface within a field of the direction of a path of a single crystal it is the low resistivity of 0.03 or less ohm-cm in P type, and is V field as a thing according to 2-37-rho+0.65 (here -- rho: -- it considers as the resistivity [omega-cm] of a single crystal).

[Claim 8] The manufacture approach of the epitaxial silicon wafer indicated in any 1 term of claim 5 characterized by making said magnetic field to impress into a level magnetic field, and setting the main magnetic field strength to 500 - 6000Gauss thru/or claim 7.

[Claim 9] The manufacture approach of the epitaxial silicon wafer indicated in any 1 term of claim 4 characterized by using the structure in a furnace which can make the part which becomes at least a part in mm and 3.0 degrees C /or more in the direction distribution of a path of said temperature gradient G thru/or claim 8.

[Claim 10] The manufacture approach of the epitaxial silicon wafer indicated in any 1 term of claim 4 characterized by setting crystal rotation under said single crystal growth to ten or less rpm thru/or claim 9.

[Claim 11] The manufacture approach of the epitaxial silicon wafer indicated in any 1 term of claim 4

characterized by manufacturing the large diameter single crystal rod more than the diameter of 250mm (10 inches) in training of said single crystal thru/or claim 10.

[Claim 12] The epitaxial silicon wafer characterized by being manufactured by the manufacture approach indicated to said claim 2 thru/or claim 11.

[Claim 13] The substrate for epitaxial silicon wafers characterized by the oxygen density side internal division cloth manufactured by the manufature approach indicated to said claim 2 thru/or claim 11 being 10% or less.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the substrate for epitaxial silicon wafers at a large diameter epitaxial silicon wafer and its manufacture approach list.

[0002]

[Description of the Prior Art] Many of devices, such as an arithmetic element, memory, etc. by which current manufacture is carried out, manufacture a wafer from the silicon single crystal which was able to be pulled up with the Czochralski method (CZ process), and it is produced on the wafer side. Using the pole surface of a silicon wafer, these devices constitute an electrical circuit and are operating it. An epitaxial silicon wafer (it may be hereafter called EPIUEHA) is often used as the technique of preventing upgrading of this surface, and a latch rise.

[0003] This EPIUEHA is produced by growing up an epitaxial layer (it being hereafter called an epilayer) into the wafer cut down from the silicon single crystal raised by the CZ process etc. Although an epilayer is stacked in EPIUEHA therefore, the quality of the mirror plane silicon wafer used as the substrate has been made light of until now.

[0004] Generally, in a crystal, the point defect of those with two kind and one formed at the time of crystal growth is a hole (Vacancy), and another is a self-interstitial atom (Interstitial-Si). Among this, the crevice generated from lack of a silicon atom and the field where a thing like a hole is superior are V fields, and the field where self-interstitial atoms generated when a silicon atom exists too much, such as a rearrangement and a lump of an excessive silicon atom, are superior is an I region. Grown-in defects considered as the void reason to which hole type point defects gathered in this V field, such as FPD, LSTD, and COP, exist in high density, and it is supposed in the I region that the defect of ratios of length to diameter (the cable address of the dislocation loop between grids, LSEPD, LFID, etc.) considered to be dislocation loop reasons exists them in a low consistency.

[0005] And the boundary of V field of a under [a crystal] and an I region is decided by the ratio with temperature gradient [of the crystal growth shaft orientations rate-of-crystal-growth F [mm/min] and near the crystal growth interface] G [**/mm] (it is the numeric value to which G broke 12 degrees C of temperature gradients by shaft-orientations distance [mm] from the melting point of 1412 degrees C of silicon to 1400 degrees C here), and F/G. When constant value with this F/G is exceeded, it becomes V field, and it becomes an I region when less than this value.

[0006] Generally, the temperature gradient G of crystal growth shaft orientations has distribution in the direction of a path of a crystal growth interface, is small in a core, and large at a crystal periphery (refer to drawing 1). Since the crystal growth rate under training is fixed in the direction of a path, the direction distribution of a path of F/G becomes the shape of the inverse number of the direction distribution of a path of G. If the constant value which has F/G all over a crystal growth interface is exceeded, the crystal which does not have an I region all over a wafer will be obtained. However, since a point defect carries out out-diffusion of the 20mm of the periphery sections of a crystal to a crystal front face at this time and it becomes the field which can disappear, this part is usually removed and

considered. For example, if F/G is more than $0.18\text{mm}^2 / **$, and min by all the insides except 20mm of peripheries in the crystal of the usual resistivity (what shows the resistivity of 0.03 or more ohm-cm in this invention), the crystal of a whole surface V field will be obtained. On the contrary, if F/G is below $0.18\text{mm}^2 / **$, and min by all the insides except 20mm of peripheries, the crystal of a whole surface I region will be obtained.

[0007] In manufacture of the large diameter crystal 10 inches or more which becomes in use from now on in such a situation, the difference of G of the crystal center section and a periphery is large, and since a growth rate F falls according to increase of the solidification latent heat, it is becoming difficult to attain F/G which serves as V field in all the directions of the diameter of a crystal. For this reason, in the wafer side, an I region and V field tend to be intermingled, and have become, and many of large diameter wafers which appear on the market in a commercial scene include the I region.

[0008] On the other hand, since boron with a small covalent radius exists in high concentration with the P type low resistivity wafer of 0.03 or less ohm-cm, a self-interstitial atom tends to exist, the value of F/G used as the boundary of an I-V field becomes large with decline in resistivity, and resistivity with being used [much] as a current substrate for EPIUEHA goes. Therefore, many of P type low resistivity wafers which appear on the market in a commercial scene include the I region.

[0009]

[Problem(s) to be Solved by the Invention] In recent years, EPIUEHA which grew up the epilayer at low temperature more on the large diameter crystal 10 inches or more has been manufactured more often in the flow of the formation of a large diameter, and low-temperature-izing of EPI growth temperature. The opportunity for the particle which was not conventionally observed on EPIUEHA to be observed in such a situation has increased. And it is the particle which will be detected by the high sensitivity particle measuring method on the mirror plane wafer front face used as a substrate if such particle is investigated, and if these are observed by AFM (Atomic Force Microscope; atomic force microscope) etc., it has turned out that it is distortion of the front face of the letter of a projection observed as a projection or particle (it may be henceforth called the letter particle of a projection).

[0010] These projections became still larger when the epitaxial layer was stacked, and being detected as usual particle etc. also understands a certain thing for them. And it turned out further that the I region said for there to be few defects conventionally has many these projections. When such a projection and the letter particle of a projection constitute an integrated circuit from a device process on a wafer front face, they become causes, such as an open circuit of wiring, and the effect which it has on the property of a device and dependability is large, and cannot accept the existence on the quality of EPIUEHA.

[0011] Then, this invention was not made in view of such a trouble, and forms the wafer which does not include an I region all over the inside of a field from a large diameter single crystal, this is loaded with an epitaxial layer, while offering the high quality epitaxial wafer with which the letter particle of a projection does not exist in an epilayer front face, the whole surface within a field manufactures the large diameter single crystal which is not an I region with the sufficient yield by the sex from Takao, and it sets it as the main purpose to aim at improvement and a cost cut of the productivity of EPIUEHA.

[0012]

[Means for Solving the Problem] Invention which it was accomplished in order that this invention might attain said purpose, and was indicated to claim 1 of this invention is an epitaxial silicon wafer characterized by a projection with a magnitude [of 100nm or more] and a height of 5nm or more not existing on an epitaxial layer. The projection of said harmful magnitude or the letter particle of a projection hardly exists on quality on the epilayer, therefore such an epitaxial silicon wafer has very rare generating of an open circuit of wiring in a device process etc., and the high quality epitaxial wafer which does not have a bad influence on a device property and dependability can be obtained.

[0013] And invention indicated to claim 2 of this invention is the manufacture approach of the epitaxial silicon wafer characterized by using the silicon wafer with which a projection with a magnitude [of 100nm or more] and a height of 5nm or more does not exist as a silicon wafer for epitaxial substrates. Thus, if the silicon wafer with which a projection with a magnitude [of 100nm or more] and a height of 5nm or more does not exist is used as an object for epitaxial substrates, the high quality epitaxial silicon

wafer with which a projection with a magnitude [of 100nm or more] which worsens a device property on an epitaxial layer, and a height of 5nm or more does not exist after epitaxial growth can be manufactured.

[0014] Furthermore, invention indicated to claim 3 of this invention is the manufacture approach of the epitaxial silicon wafer characterized by using the single crystal which does not include an I region as a silicon wafer for epitaxial substrates. Thus, a wafer is cut down from the single crystal which does not include the I region which is the cause which a projection generates at an epitaxial layer top, and if the silicon wafer which does not include an I region all over the inside of a wafer side is used as an object for epitaxial substrates, the epitaxial silicon wafer of high quality with which a projection with a magnitude [of 100nm or more] and a height of 5nm or more does not exist on an epitaxial layer can be manufactured.

[0015] Next, in case invention indicated to claim 4 of this invention raises a silicon single crystal with the Czochralski method, it is the manufacture approach of the epitaxial silicon wafer characterized by loading with an epitaxial layer the silicon wafer which does not include an I region all over the inside of the field which raised the single crystal rod which does not include an I region, and was started from this single crystal rod.

[0016] Thus, in case a silicon single crystal is raised by the CZ process, the silicon single crystal which does not include an I region in a single crystal is raised, if the silicon wafer which does not include an I region all over the inside of the field started from this single crystal rod is loaded with an epitaxial layer, the letter particle of a projection or a projection hardly occurs on an epitaxial layer, and the epitaxial silicon wafer of high quality can be manufactured.

[0017] In this case, a magnetic field can be impressed in case a silicon single crystal is raised with the Czochralski method, as indicated to claim 5. Thus, if a magnetic field is impressed, since the convection current of the silicon melt of the direction which crosses line of magnetic force can be controlled and the temperature gradient in silicon melt can be enlarged, improvement in the speed of the rate of crystal growth can be attained.

[0018] and it indicated to claim 6 in this case -- as -- growth condition F/G [mm² / **, and min] (here -- F:single crystal growth rate [mm/min] --) of a silicon single crystal the temperature gradient [**/mm] of the crystal growth shaft orientations near the G:single crystal growth interface -- carrying out -- as more than 0.18mm² / **, and min -- 0.03 or more ohm-cm of resistivity -- and the single crystal rod whose whole surface within a field of the direction of a path of a single crystal is V field is raisable. Thus, if growth condition F/G of a silicon single crystal is raised as more than 0.18mm² / **, and min when the single crystal to produce is 0.03 or more ohm-cm of resistivity, the whole surface within a field can raise the single crystal rod which is V field, can stack an epitaxial layer on the silicon wafer of the whole surface V field within a field started from this single crystal rod, and can manufacture the epitaxial silicon wafer of the letter particle of a projection which is not almost.

[0019] As furthermore indicated to claim 7 of this invention, growth condition F/G of a silicon single crystal a degree type, and $F/G > 720 \text{ and } \rho - 2.37\rho + 0.65$ (here -- rho: -- the resistivity [omega-cm] of a single crystal --) F: A single-crystal growth rate [mm/min], G: The single crystal rod whose whole surface within a field it is the low resistivity of 0.03 or less ohm-cm in P type, and is V field as what follows for considering as the temperature gradient [**/mm] of the crystal growth shaft orientations near the single crystal growth interface is raisable. Thus, if the single crystal to produce raises growth condition F/G of a silicon single crystal according to a formula when expressed as a function of the resistivity of the single crystal to produce with P type in the case of 0.03 or less ohm-cm of resistivity The whole surface within a field of the direction of a path of a crystal can raise the single crystal rod which is V field, can stack an epitaxial layer on the silicon wafer of the whole surface V field within a field started from this single crystal rod, and can manufacture the epitaxial silicon wafer of the letter particle of a projection which is not almost.

[0020] And as indicated to claim 8 of this invention, it is desirable to make the magnetic field to impress into a level magnetic field, and to manufacture the main magnetic field strength as 500 - 6000Gauss. Thus, in the MCZ method, the magnetic field to impress is made into a level magnetic field (henceforth

the HMCZ method), the convection current of the lengthwise direction of 500 - 6000Gauss, then the silicon melt in a crucible is efficiently controlled in the main magnetic field strength of a level magnetic field, the oxygen evaporation in a crystal periphery is stopped, the field internal division cloth of the direction of the diameter of a crystal of an oxygen density is equalized further, and improvement in the speed of crystal growth can be attained, without being accompanied by deformation of a crystal.

Moreover, since the convection current of a lengthwise direction is controlled, it is the shaft-orientations temperature gradient (dT/dZ) m of the silicon melt under a crystal. It can be made small and a growth rate can be accelerated.

[0021] As furthermore indicated to claim 9, in the direction distribution of a path of a temperature gradient G, it is desirable to use the structure in a furnace which can make the part which becomes at least a part in mm and 3.0 degrees C /or more. The fall of productivity will be drawn, although it is easy to use the low structure in a furnace of G in order to attain above-mentioned F/G. The fall of productivity will not be caused, if the growth rate F to which F/G attains V field all over a wafer is used using the structure in a furnace of having the part which becomes at least a part in mm and 3.0 degrees C /or more in the direction distribution of a path of the temperature gradient G of a crystal growth interface as shown in claim 9.

[0022] And as indicated to claim 10, it is desirable to set crystal rotation under single crystal growth to ten or less rpm. In order to make the whole wafer surface into V field, it is good to accelerate a growth rate, but if it is going to accelerate a growth rate F, deformation of a crystal will occur. In order to suppress this deformation, it is effective to low-speed-ize crystal rotation, but generally, since low-speed-ization of crystal rotation brings about the ununiformity of the oxygen density within a crystal growth interface, since curvature occurs to a wafer especially at a device process, it poses a problem desirably. However, since the level magnetic field is impressed in this invention, the convection current of a lengthwise direction is suppressed and improvement in the speed of a growth rate can be attained, without the field internal division cloth of an oxygen density not deteriorating extremely, and being accompanied by deformation of a crystal, even if it low-speed-izes crystal rotation.

[0023] Next, in invention indicated to claim 11 of this invention, the large diameter single crystal rod more than the diameter of 250mm (10 inches) was manufactured in training of a single crystal. If satisfied with this invention of the above-mentioned single-crystal-growth conditions, the whole surface within a field of the direction of a path of a single crystal with a diameter of 10 inches or more can be grown up as a V field comparatively easily, and it can prevent that a projection occurs in EPIUEHA.

[0024] And invention indicated to claim 12 of this invention is an epitaxial silicon wafer characterized by being manufactured by the manufacture approach indicated to claim 2 thru/or claim 11. Thus, a projection with a magnitude [of 100nm or more] and a height of 5nm or more does not exist on an epilayer, but the epitaxial silicon wafer obtained by the approach of this invention turns into an epitaxial silicon wafer of the high quality which does not have a bad influence on the property of a device, and dependability.

[0025] Furthermore, invention indicated to claim 13 of this invention is a substrate for epitaxial silicon wafers characterized by the oxygen density side internal division cloth manufactured by the manufacture approach indicated to claim 2 thru/or claim 11 being 10% or less. Thus, the oxygen density side internal division cloth of the substrate for epitaxial silicon wafers obtained by the approach of this invention is as small as 10% or less, and it turns into a substrate for epitaxial silicon wafers of the high quality which does not have a bad influence on the property of a device, and dependability.

[0026] Hereafter, although explained to a detail per this invention, this invention is not limited to these. While studying growth of the epilayer of an epitaxial wafer, this invention persons' opportunity for the particle which was not conventionally observed on EPIUEHA to be observed has increased. And it is the particle which will be detected by the high sensitivity particle measuring method on the mirror plane wafer front face used as a substrate if such particle is investigated, and if these are observed by AFM (atomic force microscope) etc., it has turned out that they are the projection on the front face of a wafer, or distortion of the front face of the letter of a projection.

[0027] When the generating field [front face / of the projection observed as such particle or the letter of

a projection] of distortion was investigated in the detail, it turned out that it is in agreement with the I region distribution at the time of single crystal growth of the silicon wafer used as a substrate. That is, since the fall of a single crystal growth rate takes place and it becomes easy to generate an I region into a crystal with the formation of a large diameter of a single crystal, it is thought that particle came to be observed on EPIUEHA. Furthermore, in the substrate wafer including these I regions, when the high sensitivity measuring method of a particle counter was used, it turned out that particle is detected corresponding to an I region. A high sensitivity measuring method is a measuring method which can be detected now to about 1/4 conventional scattered-light reinforcement by improvement in a S/N ratio here. Therefore, it turned out that the substrate wafer which does not include an I region is suitable as a silicon wafer for epitaxial substrates.

[0028] As a result of the projection on the above-mentioned epilayer or the letter particle of a projection, investigating the effect which it has on the property of a device, and dependability on the other hand, it turned out that it will not influence at all in magnitude if the magnitude of the letter particle of a projection or a projection is 5nm or less in 100nm or less and height. Therefore, if the silicon wafer which does not contain the projection more than the above-mentioned magnitude or the letter particle of a projection is used as a substrate of EPIUEHA, the epitaxial silicon wafer of high quality will be obtained.

[0029] What is necessary is just to control F and G so that F/G of single-crystal-growth conditions exceeds a predetermined value in all the directions of a path of a crystal in order to manufacture the wafer which does not have a big projection, excluding this I region. For example, in the crystal of 0.03 or more ohm-cm of resistivity, the values of F/G should just be more than 0.18mm² / **, and min. If it is not the hot zone which set up G lowness especially for reduction of a grown-in defect, G of the usually used hot zone is 2.5-4.5 degrees C/mm in the core of a crystal, and 20mm [of peripheries] G is 3.0-6.0 degrees C/mm. Therefore, for satisfying above-mentioned F/G, it turns out that F is the 0.55 - 1.1 mm/min extent need. Since the solidification latent heat generated in case silicon melt crystallizes becomes large, the rate which can be grown up falls and it is becoming impossible however, to attain the above growth rates in a large diameter crystal 10 inches or more.

[0030] Furthermore, it turned out that F/G from which the whole wafer surface serves as V field in the low resistivity crystal of 0.03 or less ohm-cm of resistivity as a result of an experiment with P type with being used [much] as the present EPIUEHA substrate is expressed with a degree type, F/G>720 and rho2-37, and rho+0.65 as a function of resistivity [of a single crystal] rho [omega-cm] (refer to drawing 2). (It considers as the temperature gradient [**/mm] of the crystal growth shaft orientations near the F:single crystal growth rate [mm/min] G:single crystal growth interface here)

If it follows, for example, 20mm [of peripheries] G carries out in 4.0 degrees C/mm, it becomes [rho=0.015 ohm-cm] F>1.93 mm/min by F>1.71 mm/min and rho=0.005 ohm-cm by F>1.03 mm/min and rho=0.010 ohm-cm at F>1.41 mm/min and rho=0.007 ohm-cm, and improvement in the speed of such a growth rate cannot be attained easily.

[0031] Therefore, in order to solve this, G will be reduced by modification of a hot zone, or improvement in the speed of a growth rate will be attained, and desired F/G will be realized. However, in order that the fall of G including modification of a hot zone may cause the fall of the rate which can be grown up and may cause the fall of productivity, it is not desirable. So, in this invention, while 20mm [of periphery sections] G had maintained the conventional hot zone which is 3.0 degrees C/mm or more, improvement in the speed of a growth rate was attained, and the above-mentioned problem was solved.

[0032] In this invention, a level magnetic field impression CZ process (HMCZ law) and low-speed crystal rotation were used for improvement in the speed of a growth rate. Crystal growth possible rate Vmax in a CZ process It is determined by the heat balance of the crystal under growth. The heating value included in a crystal is the solidification latent heat Hsol generated when the heating value Hin to the crystal from silicon melt and a liquid carry out a phase change to a solid-state. It is. Heating value Hout discharged from a crystal when the heat balance near the crystal growth section is considered Hin+Hsol It is thought that it is equal to the sum. Respectively, Hin is the shaft-orientations temperature

gradient (dT/dZ) m of the silicon melt under a crystal. Hsol To the rate of crystal growth F, it is Hout. It is thought that it is proportional to the temperature gradient G of crystal growth interface right above (refer to drawing 3).

[0033] It follows on improvement in the speed of a growth rate, and is Hsol. Since it becomes large, for improvement in the rate which can be grown up, it is Hout. It is necessary to enlarge or to make Hin small. By improving a growth rate, not changing a hot zone but maintaining G, the purpose of this invention is raising a crystal without an I region, and is Hout here. I think that it is fixed. Therefore, it is necessary to make Hin small.

[0034] So, the magnetic field was impressed in this invention. By impressing especially a level magnetic field, it is the shaft-orientations temperature gradient (dT/dZ) m of the silicon melt under a crystal. It can be made small and Hin can be made small (refer to Fumio Shimura; Semiconductor Silicon Crystal Technology and 1989). Furthermore, it is the direction temperature gradient (dT/dX) m of a path in silicon melt by impressing a magnetic field. It can enlarge and the solidification from the crucible wall generated when growing up a crystal at high speed can be prevented (refer to a Nikkei micro device and the 1986 July issue). By such effectiveness, it is Fmax. It is possible to pull up a upper limit. However, the above-mentioned growth rate was not able to be attained only now.

[0035] That is, when it is going to accelerate a growth rate, deformation of a crystal occurs. In order to stop this, it is effective to low-speed-ize crystal rotation. However, low-speed-ization of crystal rotation brings about the ununiformity of the oxygen density within a crystal growth interface. The ununiformity of the field internal division cloth of an oxygen density is unsuitable as an industrial product in order to cause problems, such as wafer curvature in a device process. This is because the oxygen density in silicon melt is falling by evaporation in the circumference of the crystal under growth. At the conventional CZ process, the ununiformity of the oxygen density of this core and a periphery was compulsorily equalized by the forced convection caused by crystal rotation (W. refer to Zulehner et al.; Crystal Vol.8 and 1982 grade).

[0036] However, when a magnetic field is impressed, it is known that the convection current of the direction which crosses the line of magnetic force will be controlled. By the HMCZ method, the convection current of a lengthwise direction is suppressed for lateral line of magnetic force. For this reason, the thickness of a boundary diffusion layer does not become thin by the periphery compared with the usual CZ process. Therefore, even if it low-speed-izes crystal rotation, it is possible for the field internal division cloth of an oxygen density not to deteriorate extremely, and to use crystal low-speed rotation, and it cannot be accompanied by deformation of a crystal, but improvement in the speed of a growth rate can be realized.

[0037] Main magnetic field strength of a level magnetic field is set to 500 - 6000Gauss, and the crystal rotation under single crystal growth was controlled by this invention to ten or less rpm. By carrying out like this, the lengthwise direction convection current of silicon melt is controlled efficiently, the unevenness of the core of the oxygen density within the crystal growth interface accompanying low-speed-izing of crystal rotation and a periphery is improved, and improvement in the speed of crystal growth can be attained, without being accompanied by deformation of a crystal.

[0038] By using the above technique, improvement in the speed of the rate of crystal growth was able to be attained. Thereby, excluding the I region which is not desirable as an EPIUEHA substrate, the whole wafer surface is V field, the yield is good and a silicon single crystal without a big projection can be manufactured for high productivity.

[0039]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail, referring to a drawing. first, HMCZ used by this invention -- drawing 3 explains the example of a configuration of the crystal pulling equipment by law. As shown in drawing 3 , this crystal pulling equipment 30 The pull-up room 31, the crucible 32 prepared all over the pull-up room 31, and the heater 34 arranged around a crucible 32, It has the reel style (not shown) which rotates or rolls round the crucible maintenance shaft 33 made to rotate a crucible 32 and its rolling mechanism (not shown), the seed chuck 6 holding the seed crystal 5 of silicon, the wire 7 that pulls up a seed chuck 6, and a wire 7,

and is constituted. A quartz crucible is prepared in the side in which a crucible 32 holds the silicon melt (molten bath) 2 of the inside, and the graphite crucible is prepared in the outside. Moreover, the heat insulator 35 is arranged around [outside] the heater 34. and the horizontal outside of the pull-up room 31 -- the magnet 36 for level magnetic fields -- installing -- HMCZ -- the convection current of silicon melt 2 was controlled as law, and the stable growth of a single crystal is measured.

[0040] Next, the single-crystal-growth approach by the above HMCZ method crystal pulling equipment 30 is explained. First, within a crucible 32, the high grade polycrystal raw material of silicon is heated more than the melting point (about 1412 degrees C), and is dissolved. Next, a level magnetic field is impressed and the tip of seed crystal 5 is made contacted or immersed in the surface abbreviation core of melt 2 by beginning to roll a wire 7. Then, while rotating the crucible maintenance shaft 33 in the proper direction, single crystal growth is started by rolling round rotating a wire 7 and pulling up seed crystal 5. Henceforth, the single crystal rod 1 of an approximate circle column configuration can be obtained by adjusting a pull-up rate and temperature appropriately. If F/G [$\text{mm}^2 / \text{**}, \text{ and min}$] expressed with temperature gradient [of the crystal growth shaft orientations single crystal growth rate F [mm/min] and near the single crystal growth interface] G [$\text{**}/\text{mm}$] is adjusted appropriately in pulling up the single crystal rod 1 of this approximate circle column configuration, the single crystal which does not include an I region will be obtained.

[0041] as mentioned above, the silicon single crystal manufactured by the manufacture approach explained above and equipment -- setting -- HMCZ of this invention -- if it is made to grow up to be the bottom of the suitable condition of law, there is very little deformation in spite of high-speed growth, and when it is processed in the shape of a wafer, even if it processes it into an epitaxial wafer excluding an I region all over the inside of a field, a single crystal rod without a big projection will be obtained.

[0042] The epitaxial silicon wafer of this invention forms a mirror plane wafer from the wafer cut down from the single crystal rod which does not include an I region all over the inside of the field of the direction of a path of the single crystal manufactured, for example by the above manufacture approaches and equipment, and if an epitaxial film is stacked with the usual CVD method by making this into a substrate, it can make an epitaxial silicon wafer without distortion of the front face observed as a projection or a projection on a front face.

[0043] For example, the silicon epitaxial growth by the CVD method introduces the material gas containing Si in a fission reactor with carrier gas (usually H₂), on the silicon substrate heated by the elevated temperature 1000 degrees C or more, deposits Si generated by the pyrolysis of material gas, or reduction, and is performed. Material gas is SiCl₄, SiHCl₃, SiH₂Cl₂, and SiH₄. Four sorts are usually used. Reaction temperature is SiCl₄. A case is mainly H₂. If it is as high as 1150-1200 degrees C because of the hydrogen reduction to depend and the rate of chlorine decreases, it will become low temperature, and it is SiH₄. It is made to grow up to be a case at 1000-1100 degrees C by the pyrolysis reaction. Although a horizontal-type furnace, a vertical (disk) furnace, a barrel-type furnace, ***** etc. are used for an epitaxial growth system, whenever it processes one sheet at a time from the batch type of several multi-sheet coincidence restoration with the formation of a large diameter of a silicon substrate, a leaf type is becoming in use also from the point of aiming at improvement in productivity, and homogeneous improvement in thickness and resistivity.

[0044]

[Example] Although an example is given and the gestalt of concrete operation of this invention is explained hereafter, this invention is not limited to these. The next trial was performed, in order that the letter particle of a projection or a projection might check whether it generates on a wafer front face if it is what kind of conditions when growing up an epitaxial layer into introduction and the diameter silicon wafer of macrostomia.

(Test 1) In the range of resistivity 8 - 12 ohm-cm, growth condition F/G in 20mm location of crystal peripheries from a single crystal rod with a diameter of 8 inches pulled up as $0.155\text{mm}^2 / \text{**}, \text{ and min}$ The wafer (referred to as W-2) which does not include an I region all over the inside of a field was produced from the wafer (referred to as W-1) which includes an I region the whole surface within a field mostly, and the single crystal rod which pulled up growth condition F/G in 20mm location of crystal

peripheries as $0.239\text{mm}^2 / **$, and min. For count of this G, in addition, for example The comprehensive heat transfer analysis software (F. 33 Dupret, P.Nicodeme, Y.Ryckmans, P.Wouters, and M.J.Crochet, Int.J.Heat Mass Transfer, 1849 (1990)) called FEMAG It was used, the distance to the location which becomes 1400 degrees C from the melting point of 1412 degrees C of silicon was calculated, and the numeric value which broke 12 degrees C (1412-degree-C-1400 degree C) by this distance was set to G (degree C/mm).

[0045] When these wafers were observed using the particle counter which is high sensitivity, dispersion of the shape of very small particle was detected by the periphery section which hits the I region of W-1 [refer to drawing 4 (a)]. When this was observed by AFM, it turned out that it is a projection [refer to drawing 5]. When this was loaded with the epitaxial layer with a thickness of 2 micrometers, particle was observed in the same location as the location where very small particle-like dispersion was observed [refer to drawing 4 (b)]. Also in this particle, AFM showed that it was a projection (refer to drawing 6). The magnitude had 100nm - no less than 1000nm, and height had 5nm - no less than 20nm. On the other hand, in W-2, although the particle of high density was checked all over the wafer, the thing of the letter of a projection was not found [refer to drawing 7 (a)]. Most particle was not checked when this was loaded with the epitaxial layer [refer to drawing 7 (b)]. The projection was not checked even if observed by AFM. When using the silicon wafer which does not include an I region the whole surface from these tests as a substrate for epitaxial wafers, also after growing up an epitaxial layer into a wafer front face, it turned out that the letter particle of a projection or a projection does not occur on a wafer front face.

Based on this result, the manufacture conditions for acquiring suitable quality using a wafer with still bigger aperture were established.

[0046] (Example 1) HMCZ which impressed the level magnetic field of main magnetic-field-strength 4000Gauss -- in law, the diameter single crystal of 12 inches of resistivity about 10 ohm-cm was raised by crystal rotation 7.0rpm from the 28 inches crucible. According to the hot zone used here, 20mm [of circumferences of a crystal] G was 3.55 degrees C/mm. At this time, it was raisable by growth rate 0.99 mm/min. 20mm [of circumferences] F/G is $0.279\text{mm}^2/\text{degree C}$ and min. The wafer-like sample was started from this single crystal rod, the oxygen density was measured by the core and the periphery (it is 10mm part to the direction of inner circumference from an edge), and oxygen density side internal division cloth was measured as $x(| \text{core concentration-circumference concentration} | / \text{main concentration})100(%)$. Consequently, oxygen density side internal division cloth was 5% or less. An OSF ring was not observed by the wafer-like sample started from this crystal, but the crystal which does not include an I region was able to be obtained to it.

[0047] In this way, on the obtained silicon wafer, it is SiHCl₃+H₂. The epitaxial layer with a thickness of 2 micrometers was grown up at a gas ambient atmosphere and 1200 degrees C. When the front face was measured at the particle counter, on the epilayer of EPIUEHA, the letter particle of a projection or a projection was not detected.

[0048] (Example 1 of a comparison) The diameter single crystal of 12 inches of resistivity about 10 ohm-cm was raised from the 28 inches crucible under the same condition as an example 1 except having raised by the usual CZ process which does not use a magnetic field. At this time, 0.61 mm/min extent of the growth rate was an upper limit, and 20mm [of circumferences] F/G was $0.172\text{mm}^2 / **$, and min. When the location of the OSF (oxidation induction stacking fault) ring which exists inside an I region with the wafer-like sample started from this crystal was investigated, it was observed from the circumference in the location of about 30mm. Therefore, it was checked that the periphery of a wafer serves as an I region. Moreover, when oxygen density side internal division cloth was measured, the value was about 12%. The big projection was observed by the periphery when this wafer was loaded with the epilayer on said conditions.

[0049] In addition, since it is dependent also on the oxygen density under crystal, whether an OSF ring appears or it does not carry out may make a mistaken judgment, in case the above evaluations are carried out. Then, the oxygen density of the crystal used for evaluation this time carried out to more than 13ppma(s) (JEIDA), and heat treatment was set as for 1000 degrees C, 3 hours and 1150 degrees C, and 100 minutes. When an OSF ring furthermore was not once detected by heat treatment, 1150 degrees C

and heat treatment for 100 minutes were added and evaluated. Thus, that out of which an OSF ring does not come through two heat treatments was judged to be that by which an OSF ring is not detected.

[0050] (Example 2) For the diameter of 8 inches, resistivity was changed and two kinds of P type low resistivity crystals of 0.03 or less ohm-cm were manufactured. The OSF ring evaluation same into these crystals as the example 1 of a comparison was performed, and it asked for the relation between the location of an OSF ring, and growth condition F/G. Consequently, growth condition F/G for the I region which exists in the outside of an OSF ring not to enter into a crystal As a function of resistivity rho (ohm-cm), it is a degree type, $F/G > 720$ and $\rho_2 - 37$, and $\rho + 0.65$ (here). rho: -- the resistivity of a single crystal -- the temperature gradient [$^{\circ}/mm$] of the crystal growth shaft orientations near the [omega-cm] F:single crystal growth rate [mm/min] G:single crystal growth interface -- carrying out -- it turned out that it is what is expressed (refer to drawing 2). Based on this, the crystal which does not include an I region as follows was made as an experiment.

[0051] 20mm [of circumferences] G raised the 8 inch crystal of resistivity 0.015 ohm-cm by growth rate 1.4 mm/min using the hot zone which is 3.74 degrees C/mm. At this time, the oxygen density side internal division cloth obtained by the gas fusion method was 10% or less. 20mm [of circumferences of the crystal with which F/G required of resistivity 0.015 ohm-cm is $0.257mm^2 / **$, and min, and was raised from the upper type this time] F/G is $0.374mm^2 / **$, and min. An OSF ring was not detected by the wafer-like sample started from this crystal. Therefore, it was checked that the whole wafer surface serves as V field.

[0052] (Example 3) Next, 20mm [of circumferences] G raised the 8 inch crystal of 0.008 ohm-cm by growth rate 1.78 mm/min using the hot zone which is 4.33 degrees C/mm. At this time, the oxygen density side internal division cloth obtained by the gas fusion method was 10% or less. 20mm [of circumferences of the crystal with which F/G required of resistivity 0.008 ohm-cm is $0.40mm^2 / **$, and min, and was raised from the upper type this time] F/G is $0.41mm^2 / **$, and min. An OSF ring was not detected by the wafer-like sample started from this crystal. Therefore, it was checked that the whole wafer surface serves as V field. It was checked in F/G beyond the value calculated from the above-mentioned formula as mentioned above that the crystal which does not include an I region is obtained.

[0053] When [said] the epitaxial layer with a thickness of 2 micrometers was grown up similarly, on the epilayer of EPIUEHA, the letter particle of a projection or a projection was not detected by these two kinds of wafers.

[0054] (Example 2 of a comparison) 20mm [of circumferences] G raised the 8 inch crystal of resistivity 0.014 ohm-cm by growth rate 1.0 mm/min using the same hot zone as the example 2 which is 3.74 degrees C/mm. F/G required of resistivity 0.014 ohm-cm was $0.273mm^2 / **$, and min from the upper type, and 20mm [of circumferences of the crystal with which it was raised this time] F/G is $0.267mm^2 / **$, and min, and resulted in it being less than calculated value. The OSF ring was detected from the circumference by the wafer-like sample started from this crystal in the location of 25mm, and it was checked that the I region is included in the periphery.

[0055] The above-mentioned example 2 of a comparison was one of the experimental results of a single string which went to accumulate which ask for F/G-rho relational expression, it changed conditions, was conducting such an experiment repeatedly, was able to raise the precision of relational expression, and was able to prove it according to the example 2 and the example 3.

[0056] In addition, this invention is not limited to the above-mentioned operation gestalt. The above-mentioned operation gestalt is instantiation, and no matter it may be what thing which has the same configuration substantially with the technical thought indicated by the claim of this invention, and does the same operation effectiveness so, it is included by the technical range of this invention.

[0057] For example, in the above-mentioned operation gestalt, although the example was given and explained per when the diameter of 8 inches and a 12 inches silicon single crystal were raised, this invention is not limited to this, but there is no involvement in a diameter, for example, it can be applied also to the diameter of 16 inches, or the silicon single crystal beyond it.

[0058]

[Effect of the Invention] As explained above, when it was processed into EPIUEHA all over the inside

of the field of the direction of a path of the single crystal which is quality suitable as a silicon single crystal for epitaxial wafer substrates according to this invention, excluding an I region, the yield of a high quality silicon single crystal and improvement in productivity without a projection (particle-like dispersion) were aimed at, and sharp reduction of a single crystal manufacturing cost was attained. Since a silicon single crystal suitable as a low resistivity single crystal which is the single crystal for large diameter EPIUEHA and the present mainstream which become in use thereby from now on can be offered, while it is cheap and being able to offer the epitaxial silicon wafer of high quality with which the letter particle of a projection or a projection does not exist, the device manufacture yield, a device property, and dependability can be raised greatly.

[Translation done.]

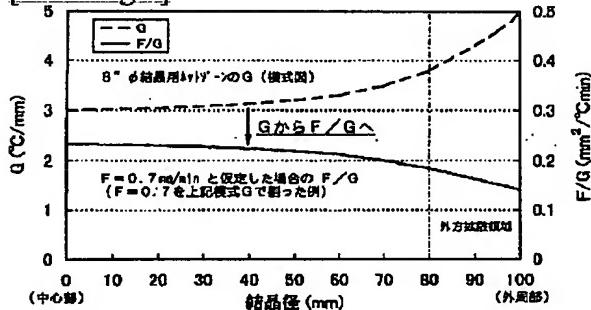
* NOTICES *

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

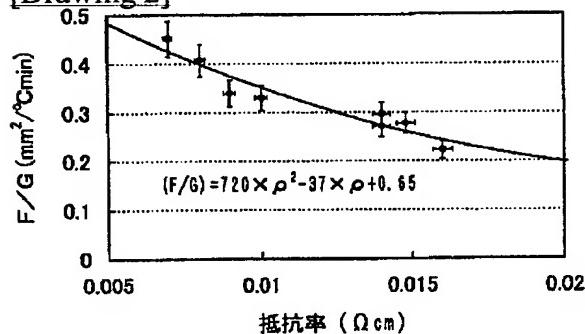
1. This document has been translated by computer. So the translation may not reflect the original precisely.
 2. **** shows the word which can not be translated.
 3. In the drawings, any words are not translated.

DRAWINGS

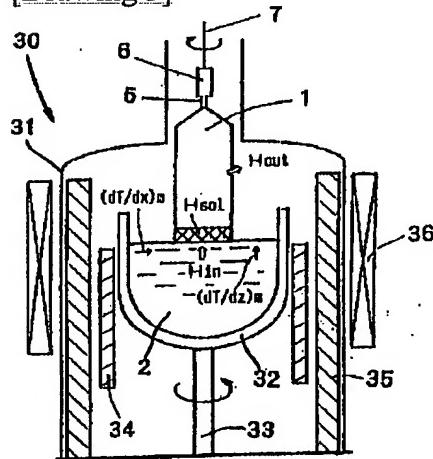
[Drawing 1]



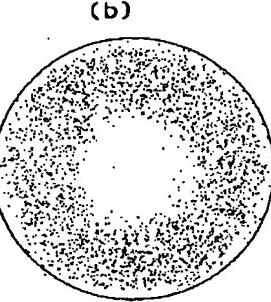
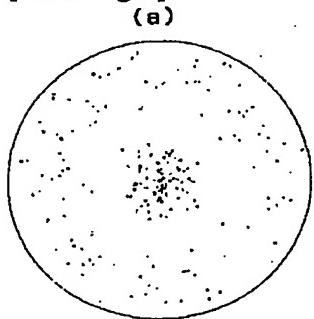
[Drawing 2]



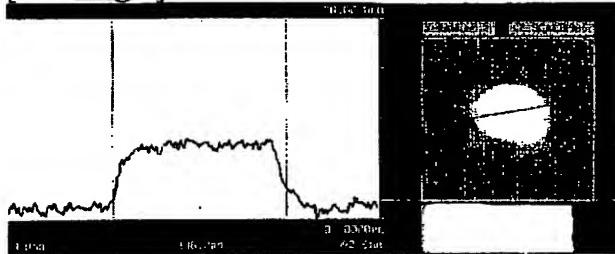
[Drawing 3]



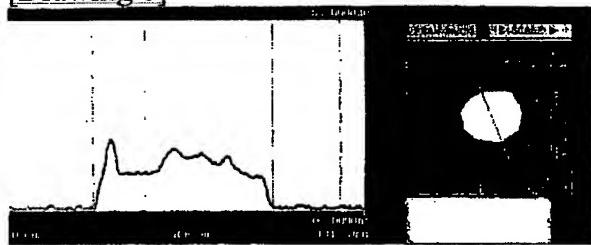
[Drawing 4]



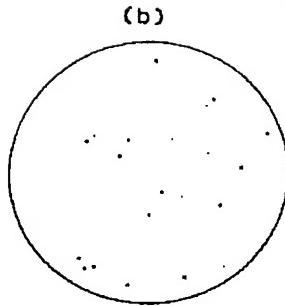
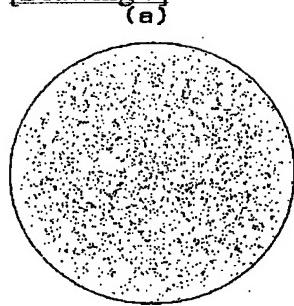
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]